



CV1800B_CV1801B_CV1802B

硬件设计用户指南

Version: V1.0
Release date: 2022-10-17

© 2022 北京晶视智能科技有限公司

本文件所含信息归北京晶视智能科技有限公司所有。
未经授权，严禁全部或部分复制或披露该等信息。

修订记录

Revision	Date	Author	Description
1.0	2022/10/17	Miller.Zhang	Initial

法律声明

本数据手册包含北京晶视智能科技有限公司（下称“晶视智能”）的保密信息。未经授权，禁止使用或披露本数据手册中包含的信息。如您未经授权披露全部或部分保密信息，导致晶视智能遭受任何损失或损害，您应对因之产生的损失/损害承担责任。

本文件内信息如有更改，恕不另行通知。晶视智能不对使用或依赖本文件所含信息承担任何责任。

本数据手册和本文件所含的所有信息均按“原样”提供，无任何明示、暗示、法定或其他形式的保证。晶视智能特别声明未做任何适销性、非侵权性和特定用途适用性的默示保证，亦对本数据手册所使用、包含或提供的任何第三方的软件不提供任何保证；用户同意仅向该第三方寻求与此相关的任何保证索赔。此外，晶视智能亦不对任何其根据用户规格或符合特定标准或公开讨论而制作的可交付成果承担责任。

目 录

修订记录	2
法律声明	3
目 录	4
1 产品概述	7
1.1 概述	7
1.2 产品版本	7
1.3 读者对象	7
2 原理图设计	8
2.1 芯片 SCH 封装	8
2.2 芯片 IO 引脚耐压说明	8
2.3 电源设计要求	8
2.3.1 CORE/TPU 电源设计	8
2.3.2 DDR 电源设计	9
2.3.3 IO Power Domain 设计	9
2.3.4 RTC 电源设计	10
2.3.5 Power 时序设计	10
2.3.6 Power Ripple&Noise 要求标准与测量方法	11
2.3.7 DCDC 与 LDO 设计	12
2.3.8 Power MOS 管开关设计	14
2.3.9 主芯片端电容要求	14
2.4 最小系统设计要求	15
2.4.1 Clock 电路	15
2.4.2 复位电路	16
2.4.3 硬件初始化系统配置电路	16
2.4.4 JTAG 电路	16
2.4.5 DDR 电路设计	17
2.4.6 Flash 电路	17
2.5 外围接口设计建议	18
2.5.1 EPHY-RJ45 接口	18
2.5.2 视频接口	19

2.5.3 音频接口	19
2.5.4 IIC 接口	20
2.5.5 SDIO 电路	20
2.5.6 SD 21	
2.5.7 USB	21
2.5.8 ADC	21
2.5.9 PWM	22
2.5.10 UART	22
2.5.11 GPIO	22
2.5.12 Updata Key	23
2.5.13 其他常用电路说明	23
3 PCB 设计	26
3.1 PCB 设计总体原则	26
3.1.1 学习并掌握相关设计资料	26
3.1.2 确认板层与叠层结构	26
3.1.3 重大原则不让步	26
3.2 电源、地、滤波电容	26
3.2.1 Power Net 线宽与过孔数量	26
3.2.2 主要电源走线	27
3.2.3 地28	
3.2.4 滤波电容	28
3.2.5 DCDC 与 LDO	29
3.3 晶体走线	30
3.4 DRAM (VDDQ)	30
3.5 Flash	31
3.5.1 SPI Flash	31
3.6 视频信号	31
3.6.1 MIPI RX	31
3.6.2 VI_DATA 与 VO_DATA	32
3.7 音频信号	32
3.7.1 模拟音频	32
3.7.2 数字音频	33
3.8 SDIO 与 SD Card	33
3.9 USB2.0	33
3.10 RJ45 走线	34

3.11 PCB 散热设计	35
3.12 铺铜规则设计	35
4 整机 ESD 设计	36
4.1 背景	36
4.2 整机 ESD	36
5 整机 EMI 设计	38
6 调试常见问题 Debug 方法	39
6.1 Power 对地短路	39
6.2 供电电压不正确	39
6.3 eMMC 无法烧录	39
6.4 无法启动和无法读取 eMMC 数据	40
6.5 DDR init Fail	40
6.6 上电无打印	40
6.7 烧录程序跑不起来	41
7 eMMC 与 DDR 可靠性软体测试方法	42
8 散热设计	43
8.1 主芯片散热	43
8.2 关键元器件散热	43
8.3 温升整改	43
9 附件清单	44

1 产品概述

1.1 概述

本文档主要介绍 CV1800B/CV1801B/CV1802B 芯片方案的原理图设计、PCB 设计、整机 ESD 设计、整机 EMI 设计、单板热设计建议、生产工艺建议等。

1.2 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
CV1800B	V01
CV1801B	V01
CV1802B	V01

1.3 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师
- PCB Layout 设计工程师
- PCBA 工艺工程师

2 原理图设计

2.1 芯片 SCH 封装

为确保不出错以及方便 Review，建议直接 Copy 主芯片、SPI-FLASH 等关键元器件部分电路。

如果采用其他电路设计软件工具，可以找 CViTEK HW 申请 IC Pin List Excel 文件，通过表格导入的方式建芯片的 SCH 封装。

注意：

至少要确保主芯片的 SCH 封装要完全 copy 或者完全一模一样！

2.2 芯片 IO 引脚耐压说明

主芯片 VDDIO_SD0_SPI Domain 的 IO Support 1.8V/3.3V 耐压和 level。

主芯片 VDD33A_ETH_USB_SD1 Domain 的 IO Support 3.3V 耐压和 level。

其他 IO 接口都是 1.8V 耐压和 level，电路设计时要特别注意其他元器件所支持的 level 以及耐压，防止 level 不匹配导致信号异常以及主芯片被损坏。

注意：

IO 的电压要注意和相应的 Power Domain 一致！

2.3 电源设计要求

2.3.1 CORE/TPU 电源设计

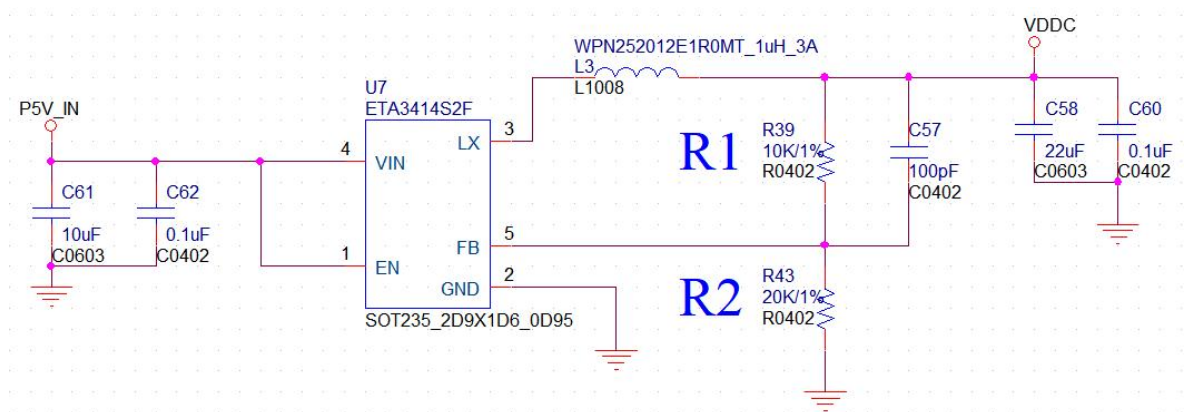
CORE 与 TPU 电源为 VDDC；

典型电压为 0.9V，其电压值在 0.9V；

DCDC 选型：

要求其 DCDC 输出能力不小于 1.0A，选择开关频率 1MHz 以上、支持快速动态响应的 DCDC。

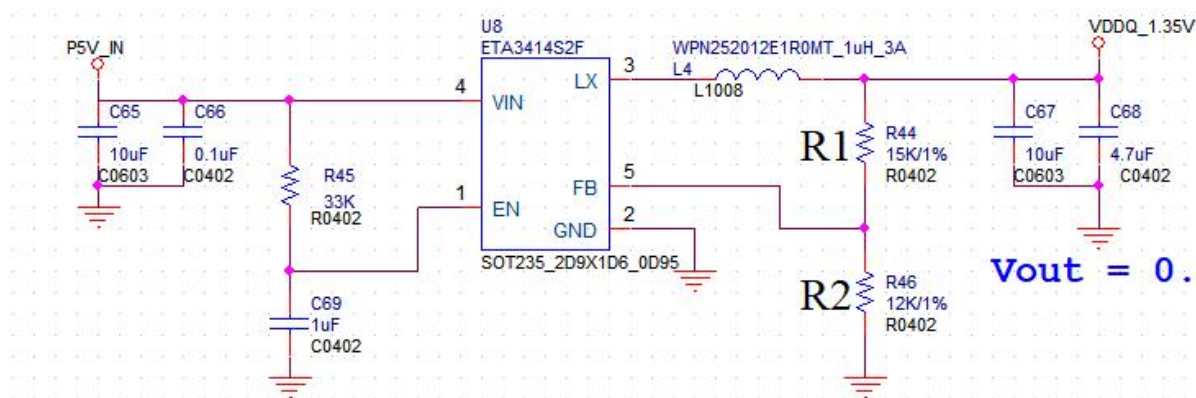
图 2-1 VDDC/VDDC_TPU 电源电路图



2.3.2 DDR 电源设计

- CV1801B, CV1802B 内置 DDR3L*1，典型电压 1.35V。
- CV1800B 内置 DDR2 *1，典型电压 1.80V。
- DDR3L 采用独立的 DCDC 供电，DDR2 可与主电源 1.8V 共一路 DCDC。
- 供电原理图如下，DCDC 推荐选择 1MHz 以上开关频偏，1A 输出能力。

图 2-3 DDR 电源电路图



2.3.3 IO Power Domain 设计

- VDDIO_RTC: 是 PTEST、PWR_VBAT_DET、PWR_SEQ、等的 Power Domain。
- VDD18A_AUDIO: 是 AUDIO 的 Power Domain。
- VDDIO18A_USB_PLL_ETH_CSI: 是 USB、ADC1、EPHY、MIPI_TX 等的 Power Domain。

- VDD33A_ETH_USB_SD1: 是 SD1 的 Power Domain。
- VDDIO_SD0_SPI: 是 SD0、IIC0、JTAG、UART0、SPINOR/NAND 等的 Power Domain。

各 IO 电源的分支连接关系请参考公板原理图。各电源的电流需求参考下文中“电流参考表”节的内如，务必确保 DCDC、LDO、电感、电容等的选型既要满足有效值（MAX）也要满足峰值（OCP）要求。

注意：

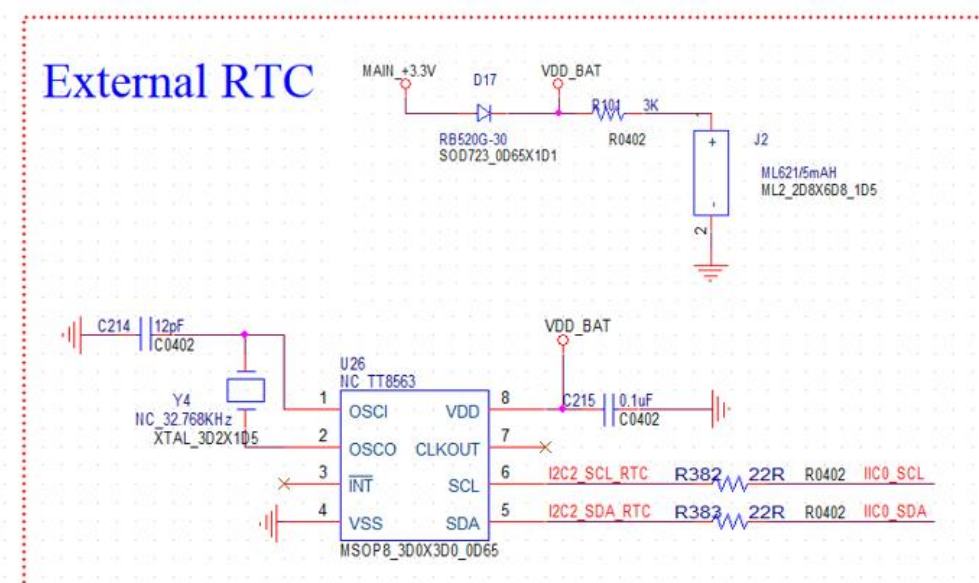
VDDIO_SD0_SPI 可以选择接 1.8V 或 3.3V，VDD33A_ETH_USB_SD1 仅支持 3.3V，相应 PowerDomain PIN 也变成对应的电平 level。

2.3.4 RTC 电源设计

CV1800B/CV1801B/CV1802B 无 RTC Only Mode。

如果需要 RTC，要外挂 RTC

图 2-5 RTC 电源电路图



2.3.5 Power 时序设计

芯片 Power 可以分成如下几种，同一 Domain 内 Power 同时上下电，不同 Domain 则按下列几种应用场景分开上下电。

RTC Domain:

VDDIO_RTC (1.8V)

Core Power Domain:

VDDC

1.8V IO Domain:

VDD18A_AUD

VDD18A_USB_PLL_ETH_CSI

18OD33 IO Domain: 看输入电压决定是 1.8V or 3.3V Domain

VDDIO_SD0_SPI

3.3V Domain:

VDD33A_ETH_USB_SD1

DDR IO Domain:

VDDQ

主芯片的上下电时序一般设计要求，0.9V 和 1.8V 可以同时上电，或者先 0.9V 后 1.8V，但 3.3V 必须要等 1.8V 已建立才能上电。下电顺序与上电顺序相反。外设元器件一般要求不能早于其所连接的主芯片 IO Power Domain 上电，目的是防止电压倒灌导致开机异常或者主芯片被损坏。

PWR_VBAT_DET 用作主电源状态的监测，电压偏低时软件会收到中断（例如停止读写 Flash 防止系统损坏），电压再往下时 RTC 模块就会启动下电程序。

2.3.6 Power Ripple&Noise 要求标准与测量方法

2.3.6.1 标准要求

所有电压幅度都要求 $\pm 3\%$ 以内，3.3V 及以下电源无特殊情况一般都要求在芯片端的 Power Ripple&Noise 控制在 $\pm 100\text{mV}$ 以内。

2.3.6.2 测试说明

Ripple&Noise 对于分析电源质量、系统稳定性、DCDC 选型、电感电容选型、部分问题 bug 分析等具有非常重要的意义，准确测量以需求提供数据支撑。

2.3.6.3 示波器探头说明

探头是有等效电容的，在某个程度上会加载到被测器件上。探头都是“小偷”。它们会使被测器件产生损耗，要尽量用示波器原配的高质量探头来测试。

2.3.6.4 测试方法

- 1、选择电压 mode: 按示波器通道菜单, 再按伏特, 再选“电压”档。
- 2、设置示波器参数: 设置耦合模式“直流 DC”, “阻抗 1M”; Measures 选择“直流有效值 N 个周期”、“最大电平”; 选择“统计信息”, 然后选择“复位统计”; 选择“时基模式”, “100us/div”; 波形 swing 幅度占整个示波器显示区域的 2/3。默认的示波器阻抗是 1M Ω , 如果阻抗误设为 50 Ω , 信号会小一半; 选择带宽限制仅仅测量到 Ripple 部分, Noise 部分测量不能用“带宽限制”。
- 3、参数说明:
 - A.直流有效值 N 个周期的平均值: 衡量 Ripple&Noise 的有效值参数, 一般要环温 60 度, 测 thermal (最大负载) 时测至少 2 分钟的统计值为准, 此为最大负载时 Ripple&Noise 有效值。
 - B.最大电平的最大值: 从开始测量到目前为止整个周期内的最大值, 如果没有干扰的话此值即 Ripple@Noise 上限。
 - C.峰峰值: 开始测量到目前为止整个周期内的 Ripple 波形 swing 的峰峰值。我们一般记录有效值 N 个周期的平均值和峰峰值。峰峰值最大值用于电感选型反向评估, 因为电感的感量计算公式 $L = V_{out} * (1 - V_{out}/V_{in_max}) / F_{sw} * I_{load_max} * 30\%$ (uH), $I_{load_Max} * 30\%$ 就是这个峰峰值。

2.3.6.5 测量位置要求

量测 Ripple 时需使用短地, 并将接地点焊到量测点旁边的地, 量测点需要在 IC 正下方, 并将探头上的 GND 线拔除。

2.3.7 DCDC 与 LDO 设计

2.3.7.1 DCDC 选型

- 1、DC-DC 额定输入电压 V_{in_rating} 的选择
通常 DC-DC 厂家都有不同输入电压范围的产品可供选择, 宽范围输入的价格要比窄范围输入的高, 要根据实际输入电压 V_{in} 来选择适合的 DC-DC。
设计要求: $V_{in} * 1.2 < V_{in_rating} < V_{in} * 2$
- 2、DC-DC 输出电流的评估
需要保证 60° 环温下 DC-DC 持续输出有效电流 $I_{max(60)}$ 大于等于负载的最大有效电流值 I_{load} 。这里要注意 DCDC 实际规格书上面写的通常为 25° 下的最

大电流值，我们要根据规格书中的热阻等参数算出 60° 环温下该 DC-DC 持续输出有效电流，可以根据表格“DC-DC I_{max}(60°)计算方法”算出。

设计要求： $I_{load} \leq I_{max}(60^\circ) < I_{load} + 0.5A$

3、DC-DC OCP 参数的选择

OCP 保护点要大于负载的最大峰值电流 I_{load_peak}。正常工作不允许 OCP 被触发，否则输出会有跌落。

设计要求： $OCP > I_{load_peak}$

2.3.7.2效率与工作模式

需要从两个方面考虑效率：

- 1、要选择轻载高效的 DC-DC，COT/ACOT 架构优先。
- 2、保证响应速度的前提下尽量选择低压差转换，提高 DC-DC 转换效率。

2.3.7.3电感的选型

1、温升电流的选择

温升电流：业界大部分厂家的定义是电感产品自我温升温度不超过 40 度时的电流，用 I_{rms}（或者 I_{dc2}）表示。

设计要求： $I_{load} < I_{rms} < I_{load} * 1.2$

2、饱和电流的选择

饱和电流：基于电感值的变化率的额定电流，用 I_{sat}（或者 I_{dc1}）表示。它是以电感值的下降程度为指标的额定电流，当负载电流超出电感的饱和电流时，可能会由于纹波电流增加而导致 IC 控制不稳。设计要求：

$I_{load_peak} < I_{sat} < I_{load_peak} * 1.2$

3、电感值的计算方法

电感计算公式： $L = V_{out} * (1 - V_{out} / V_{in_max}) / F_{sw} * I_{load_max} * 30\%$

开关电源中储能电感作为开关电源的一个关键器件，对电源性能的好坏有重要作用，在保证产品性能的前提下，减小开关电源电感的尺寸（所占据的 PCB 面积和高度），这需要在电路性能和电感参数间进行折中。所以，可以通过选用大电感，低 ESR 大容量输出电容的方法减小输出纹波电压。直流电阻 R_{dc}：尽可能选择 R_{dc} 小的电感。

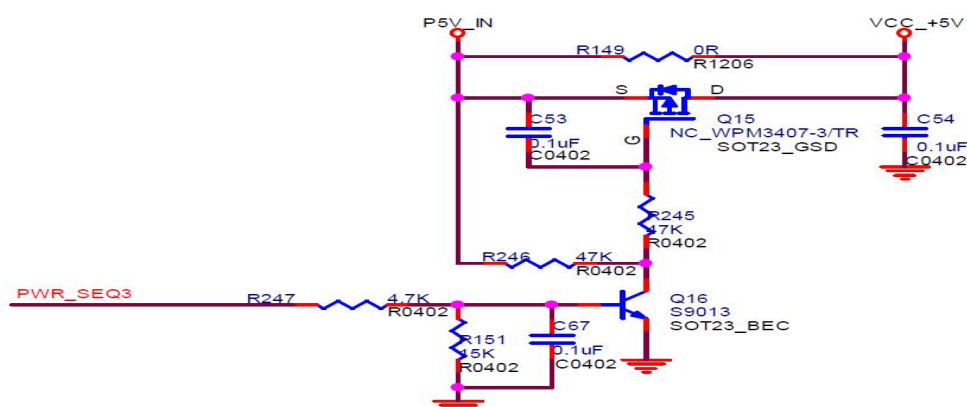
2.3.7.4LDO 设计

ADJ 可调的 LDO，分压电阻采用百欧、K 欧 (<5.6K)，保证 LDO 正常工作，且低功耗。当 LDO 插入功耗大于 0.8W 时，需要增加功率电阻。普通 LDO 输出压差保证有 1.3V 以上，专用 LDO 最小输入、输出压差确认满足规格书要求。

2.3.8 Power MOS 管开关设计

增加缓起电路，避免电源在导通瞬间产生毛刺损坏 MOS 管或者影响其它电路工作。MOS 管一般要用三极管控制，直接用 GPIO 控制请务必确认相关参数是否能满足 MOS 管要求。

图 2-8 MOS 管开关电路



注意：

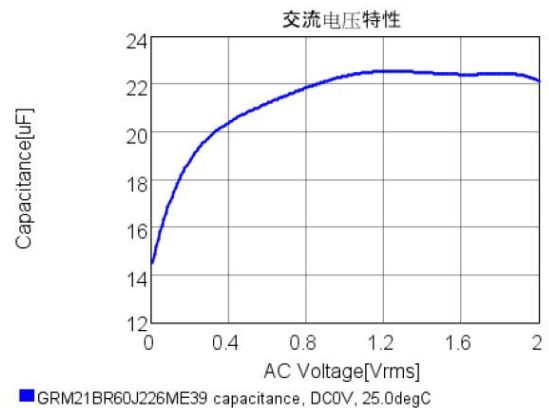
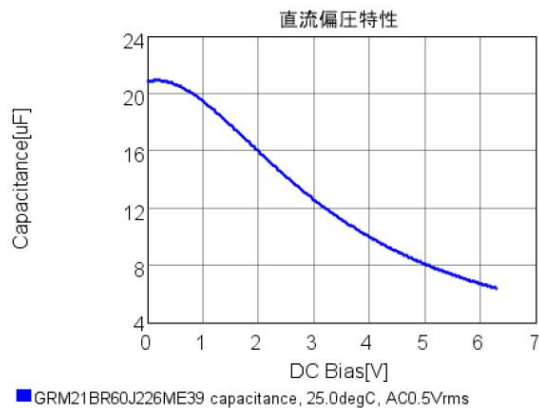
- 1、GPIO High、Low 对应到 MOS 的开关状态，如需反向，则加 2 级三极管；
- 2、GPIO 初始状态（HW 默认状态，SW 可控之前）要确保 MOS 不会导通。

2.3.9 主芯片端电容要求

主芯片端 PCB layout 上 CPU 封装下 bottom 层的电容，一个都不能删除，也不能把容值改小。主芯片端的电容都要用 X5R or X7R 的规格，不能采用 Y5V 等。X5R、X7R、Y5V、Z5U 之间的区别主要在于温度范围和容值随温度的变化特性上。X5R 正常工作温度范围-55℃~+85℃之间，对应的容值变化范围±15%，Y5V 则温度范围-30℃~+85℃，对应的容值变化范围±22%。

要特别注意直流/交流电压与容值特性曲线，一般来说电压越高，容值越低，如下村田 22uF 6.3V，X5R 电容，在 5V 时只有 8uF 的电容量了。

图 2-6 直流电压与容值&交流电压与容值的特性



注意：

为了控制成本，电容的数量和容值要慎重使用，但 cost down 时一定要慎重计算、严格测试 Power Ripple&Noise、严格老化压测！

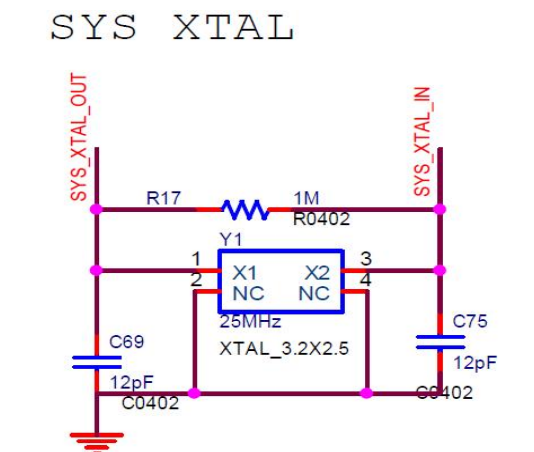
2.4 最小系统设计要求

2.4.1 Clock 电路

主芯片需要一个 25MHz 外接时钟：

- 1、频偏范围 < $\pm 30\text{ppm}$ 。
- 2、ESR < 50Ω 。
- 3、负载电容取值=（晶振规格电容*2---5）倍 pF，要跟晶振规格电容匹配。材质建议采用 NPO。
- 4、激励功率 < 200uW。
- 5、建议选贴片晶振，其 GND 管脚与单板地充分连接，增强抗 ESD 能力。

图 2-9 系统晶振电路图



注意：

- 1、XTAL_XIN_XI、XTAL_XIN_XO 串联 1M 电阻不可省。
 - 2、负载电容要根据不同型号的晶体、波形和频偏测试结果调整到最佳状态。
 - 3、系统、RTC 使用有源晶体时，从管脚 XIN 输入，XOUT 悬空。
-

2.4.2 复位电路

主芯片内建 POR 复位电路。

2.4.3 硬件初始化系统配置电路

主芯片上电初始化的过程中，需要根据配置管脚的电平状态来确定各部分的工作模式。硬件配置信号描述如下表所示：

表 2-7 Boot 启动方式配置说明表

配置功能	Pad Name		说明
	SPI_MOSI (PIN19)	SPI_WP_X (PIN20)	
Boot 启动方式	X	1	Reserve
	1	0	SPI NOR
	0	0	SPI NAND

注意：

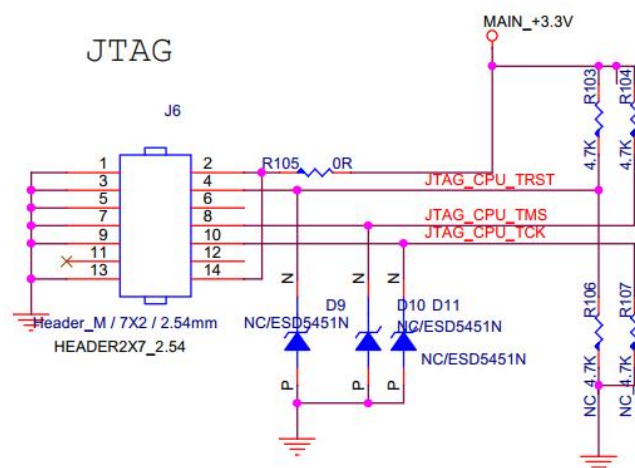
- 1、配置 PIN 务必参考 EVB 设置，只有这些 PIN 具有此功能。
 - 2、配置 PIN 脚必须上拉到最早上电的电源。
 - 3、如果配置 PIN 悬空，该 PIN 状态会由芯片内部决定，所以会是 PU 为高。
-

2.4.4 JTAG 电路

JTAG 是 VDDIO_SD0_SPI Power Domain 要注意使用电压。

CV180xB 没有单独的 JTAG 功能 PIN,是复用在 UART0 和 I2C0 Pin 上。

图 2-11 JTAG 模块电路图

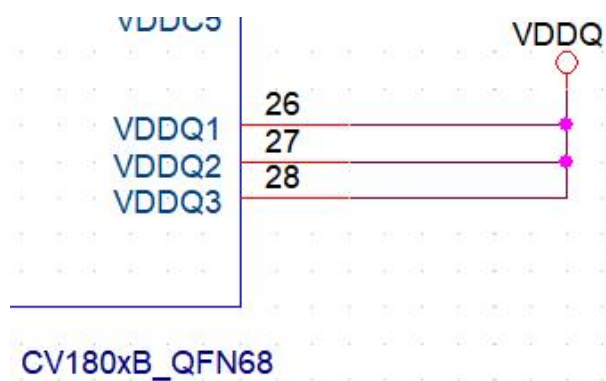


2.4.5 DDR 电路设计

CV1801B/CV1802B 主芯片内置一颗 DDR3L, 16bit 位宽。VDDQ 电压 1.35V。

CV1800B 主芯片内置一颗 DDR2, 16bit 位宽。VDDQ 电压 1.8V。

图 2-12 JTAG 供电电路图



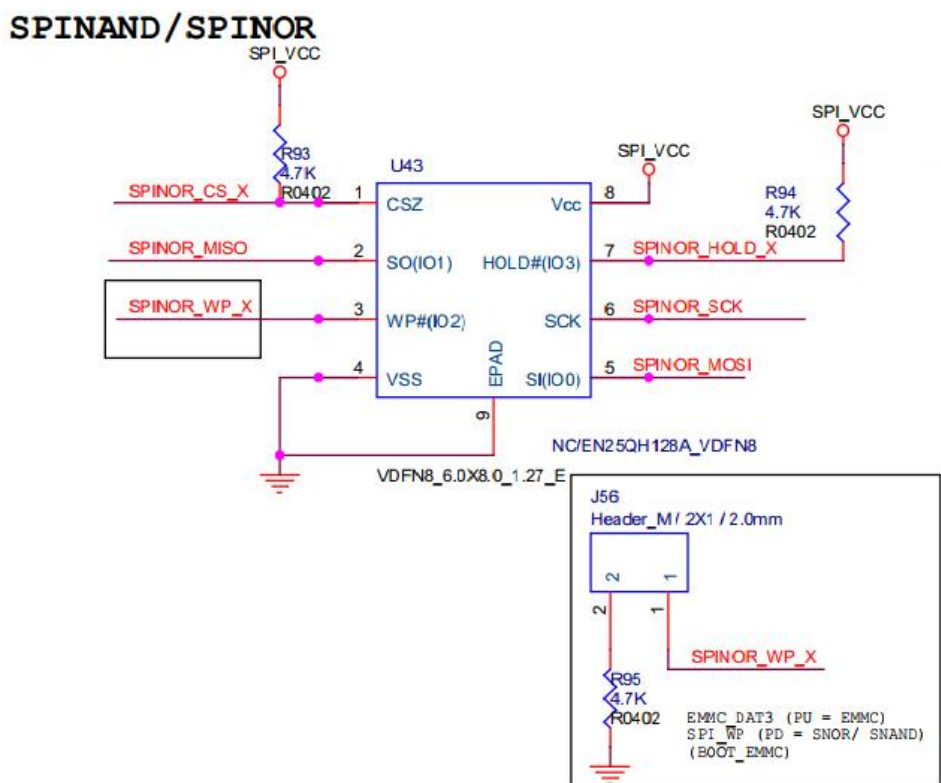
2.4.6 Flash 电路

FLASH 控制器支持 SPI NOR FLASH、SPI NAND FLASH。

2.4.6.1 SPI FLASH

外接 SPI FLASH 时，参考电路图如下，SPINOR_WP_X 需要下拉 4.7K Ω ；SPINOR_HOLD_X 和 SPINOR_CS_X 需要上拉 4.7K Ω 。

图 2-13 SPI FLASH 电路图



注意：

推荐选用带复位功能的 SPI FLASH 器件，以避免出现主芯片 Watch Dog 生效复位时，FLASH 无法同步复位，从而无法正常重启。

2.5 外围接口设计建议

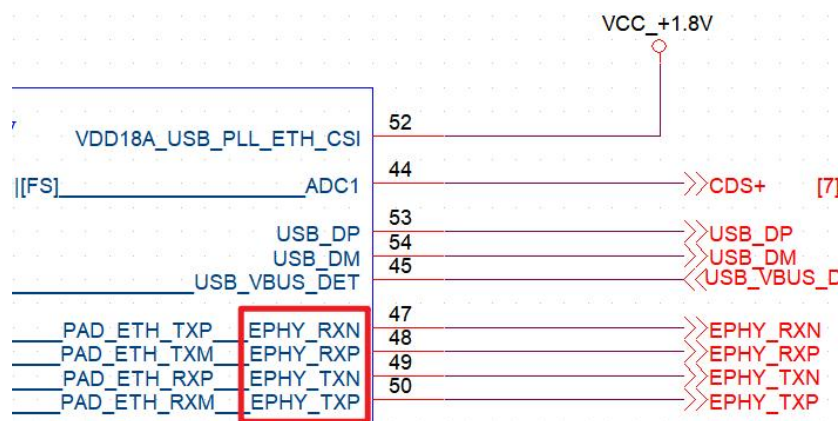
2.5.1 EPHY-RJ45 接口

2.5.1.1 EPHY-RJ45

主芯片内置百兆 PHY，可直连网口，主芯片与网络变压器之间的网络差分线要串联 5.1R 以下电阻用于增强抗网络浪涌能力，以及降低网络 EMI，必要时增加 ESD 器件。不推荐网络差分线使用 RC 电路来降低 EMI 问题，因为会导致网络差分信号眼图很差。

EPHY 接口不用时，可以用来做 GPIO 等其它 Function，注意电平是 1.8V Level。

图 2-14 EPHY 电路图



2.5.2 视频接口

CV1800B/CV1801B/CV1802B 仅支持单路 Sensor 接口。要特别注意 Sensor 配置相关接口电平只支持 1.8V。为了确保视频信号高质量，一定要选择公板已验证的 sensor 型号。

SOC 的 MIPI_RX 0,1,2,3,4 与 Sensor 的 MIPI 0,1,2,3,CLK 在软体上可自行定义，详见《主芯片 VI 接口场景详细说明》，SCH 与 PCB 设计确保 layout 顺线且没有交叉。

2.5.3 音频接口

AUD_AVREF(PIN_3)引脚上的滤波电容分别需要 2 颗，4.7uF + 0.1uF。

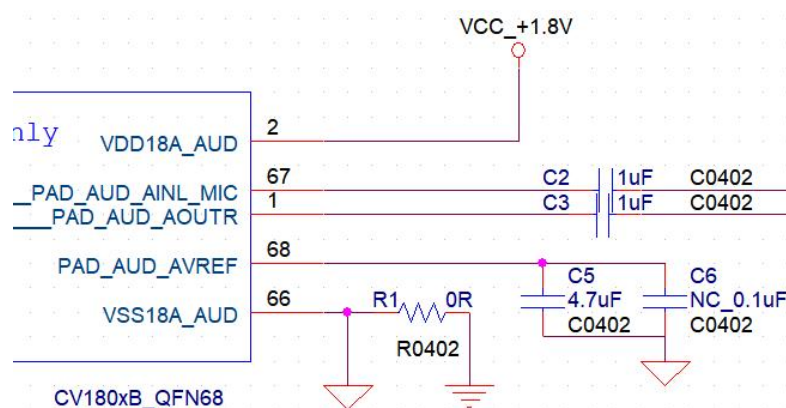
音频输入信号上的隔直流电容靠近主芯片放置，电容容值推荐选择 1uF。

AUD_AOUTR 的输出先串联电容 1uF。

I2S 接口的 MCLK 需在芯片近端串联 33Ω电阻，用以获取更好的信号质量。

如果需要较好的音频质量或推动耳机，建议在音频输出管脚 AC_OUTL 和 AC_OUTR 的外围增加音频放大器。

图 2-15 Audio 电路图



注意：

为避免模数 GND 串扰，AUD_AVREF(PIN68)电容的 AGND、VSS18A_AUD(PIN66)电容的 AGND，这 2 个 Audio GND 与系统 GND 分开，通过 0R 电阻相连。

2.5.4 IIC 接口

I2C0 挂通用的外设；I2C2 用于配置 Sensor0。

I2C 是 OD 门，需要外接上拉电阻，根据总线负载数量和走线的长度（包括外接线材等）的不同，选择不同阻值的电阻，I2C 的上拉电阻建议在 1K 到 4.7K 之间，slave 越多，走线越长，上拉电阻值越小。

I2C 总线上各器件地址不要冲突，把 address 直接标注在 SCH 中。为确保软件设计的方便性，通用 slave 的 I2C 分配参考公板设计。

2.5.5 SDIO 电路

主芯片有 2 路 SDIO 接口，SDIO0 support 1.8V/3.3V level，SDIO0 公板用做 SD 存储卡接口。SDIO1 support 3.3V level，此路公板用做了 WiFi SDIO 接口，不需 SDIO 时可以做 GPIO 功能。

注意：

SD0_PWR_EN（PIN12）与 SD0_CD（PIN11）是在 VDDIO_SD0_SPI POWER Domain 上，注意电平。

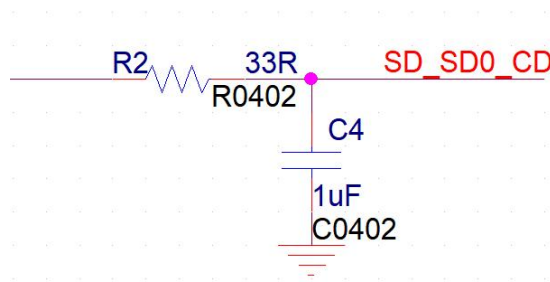
2.5.6 SD

对于 SD 卡座放在子板，通过长排线和主板连接的产品。

SD0_CD Pin 因长排线容易受到干扰，导致 SD 误触发从而报错问题。需要在 SD0_CD 线路上预留 RC 电路。

SD 卡座和主芯片在同一块板上的产品可不需要预留。

图 2-16 SD_CD 电路图



2.5.7 USB

USB 口支持 Host、Device Mode。

当用 USB 口烧录固件时，则需要 USB_VBUS_DET(PIN45) 通过电阻分压 5V_USB_IN 做检测,上电为高才能进入 SOC 为 Device 模式。

当 USB 口不做烧录用，USB_VBUS_DET(PIN45)可以直接接地，此时 USB 为 Host 模式。

USB 信号线可串联不超过 5.1R 的电阻用于 EMI 问题，如果是板外接 USB Device，则信号线上要加 ESD 保护器件，寄生电容要求小于 5 pF。

Device 如果接移动硬盘等较大负载电流的设备，靠近座子端要加 220uF 以上电解电容，以防止插入瞬间电压跌落把系统供电拉低或者插入无法识别。

注意：

USB Hub 选型时一定要选择与可能用到的 Device 的 USB 工作模式相兼容的，部分 Hub 只 support USB2.0，部分 Hub 可以都 support。

2.5.8 ADC

主芯片有 3 路 ADC，12bit 采样率。

其中 2 路 ADC1,ADC2 在 VDD18A_USB_PLL_ETH_CSI Domain 上，做 GPIO 时为 1.8V level。详见《主芯片_PINOUT_CN》中 2.功能信号表。

第 3 路在 VDDIO_RTC Domain 上，PWR_VBAT_DET（PIN30），专门用作系统掉电检测，不能用作其它功能。

注意：

ADC 的最大采样输入电压为 1.5V。

2.5.9 PWM

PWM 可从 PIN 复用功能上切出。

2.5.10 UART

主芯片有 3 路 UART。UART0 固定用作系统调试。

PIN MUX 的 UART 要对应 HW PIN MUX table。

注意：

上拉电阻电源要与相应 UART 的 POWER Domain 对应。

2.5.11 GPIO

主芯片的 GPIO Level 及耐压与其所在的 Power Domain 对应，要确保其上拉和外设 level 与之对应和匹配。

要确保上下拉、串联电阻值符合如下 level 要求：

- 1) VIH、VIL 极限要求是 VDDIO 的 70%、30% 。
- 2) VOH、VOL 极限要求是 VDDIO 的 80%、20% 。

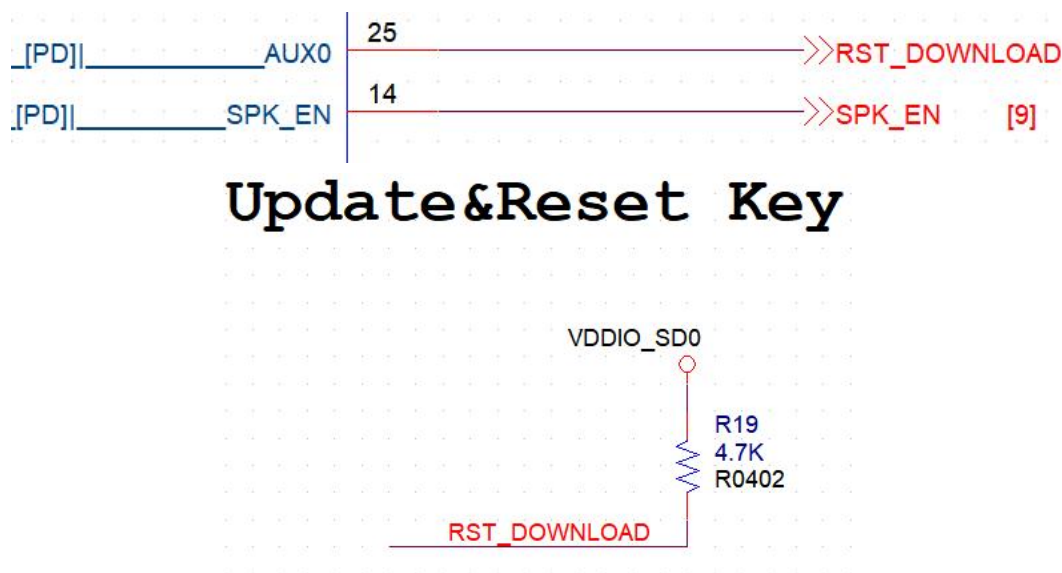
注意：

当 SOC 与 MCU 等连接时（SOC 掉电而外设不掉电的应用场景），在《主芯片_PINOUT_CN》文件中 管脚默认状态页，只有标识有 **Fail-safe** 的 Pin 不会漏电，可以在 SOC 掉电时有电。

2.5.12 Updata Key

主芯片的 PIN_25 可用作升级按键功能。芯片上电检测到此键按下（低电平），就会进入 SD/USB 升级。

图 2-17 Updata KEY 电路图



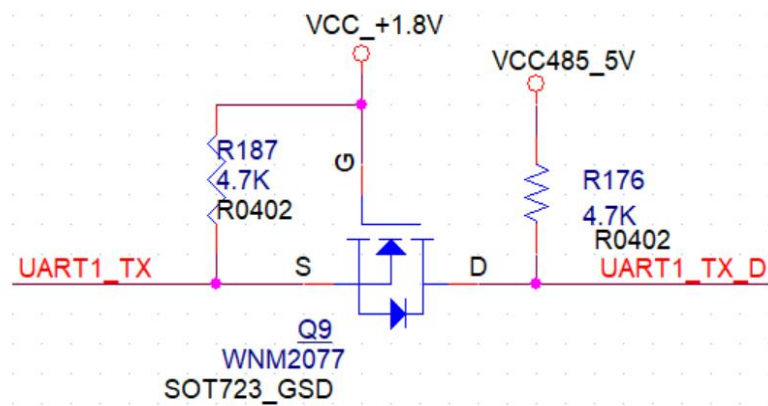
2.5.13 其他常用电路说明

2.5.13.1 Level shift 电路

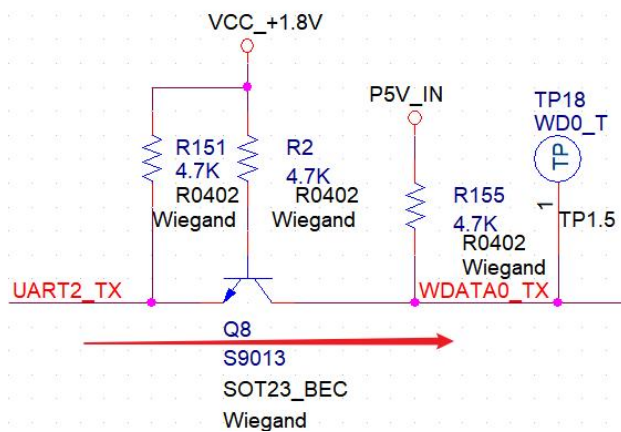
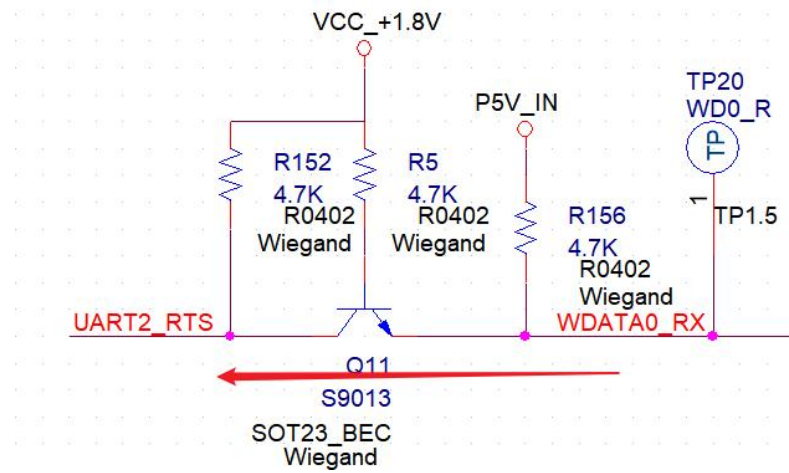
当主芯片和其他芯片电平 level 不匹配时，就需要用到电平 level shift 电路。如下电路高速 NMOS 管的 S 级接低电压 level，D 级接高电压 level，可实现电平转换通信。

比较适用于 I2C、UART 等低速信号，SPI、SDIO、USB 等要用专用的高速信号电平转换芯片。

图 2-15 Level shift 电路图



如果是单向低速通信的电平转换，可以使用如下电路做 level shift，注意数据传输方向如红色键头所示。



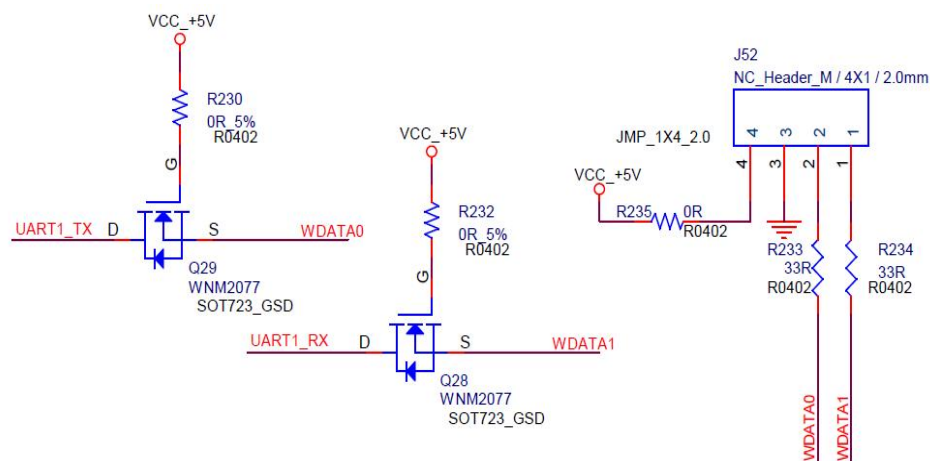
注意：

Level 电路，如果电压是 1.8V，需要特别注意 NMOS 的选型规格 V_{th} 开启电压 1.8V 是否满足。

2.5.13.2 韦根接口电路

韦根接口选取请参照《主芯片_PINOUT_CN》中 2.功能信号表。韦根接口对接板外设备时，要严格注意浪涌和 ESD 的防护等级，增加相关器件。

图 2-15 韦根接口电路图



2.5.13.3 RS232/RS485 电路

此电路设计要注意 3 点：

- 1、要选择好合适的收发芯片，其比特率与 IO level 要与需求相对应；
- 2、要考虑是否要做完全隔离的 DC 电源给初级侧供电以增加抗浪涌能力；
- 3、在接口处要选用合适的防浪涌和 ESD 器件。

3 PCB 设计

3.1 PCB 设计总体原则

3.1.1 学习并掌握相关设计资料

首先要详细阅读学习并掌握《CViTEK 硬件设计指南》与《CViTEK_PCB_Layout_Guide》。把握设计要求、要点、规则等。

3.1.2 确认板层与叠层结构

1、根据接口布局与走线难度确认是否需要增加板层

如果板子较大，走线没有严重交叉，建议维持最小板层降低成本。如果要增加板层请务必确认叠层结构符合要求。

2、最后再评估为散热或者 EMI 考虑，是否需要增加板层

为 EMI 考虑，MCLK、eMMC_CLK、SDIO_CLK 等务必走内层。

3.1.3 重大原则不让步

SOC 封装下面的 Bottom 层确保要完全 copy，包括元器件的封装和值不要调整，确保核心区域电容的数量不删减、GND 与 Power 过孔的数量不删减、GND 的通道尽可能完整并向四周发散等。

信号线尽可能都走在信号层，Power Net 尽可能走在 Power 层。

3.2 电源、地、滤波电容

3.2.1 Power Net 线宽与过孔数量

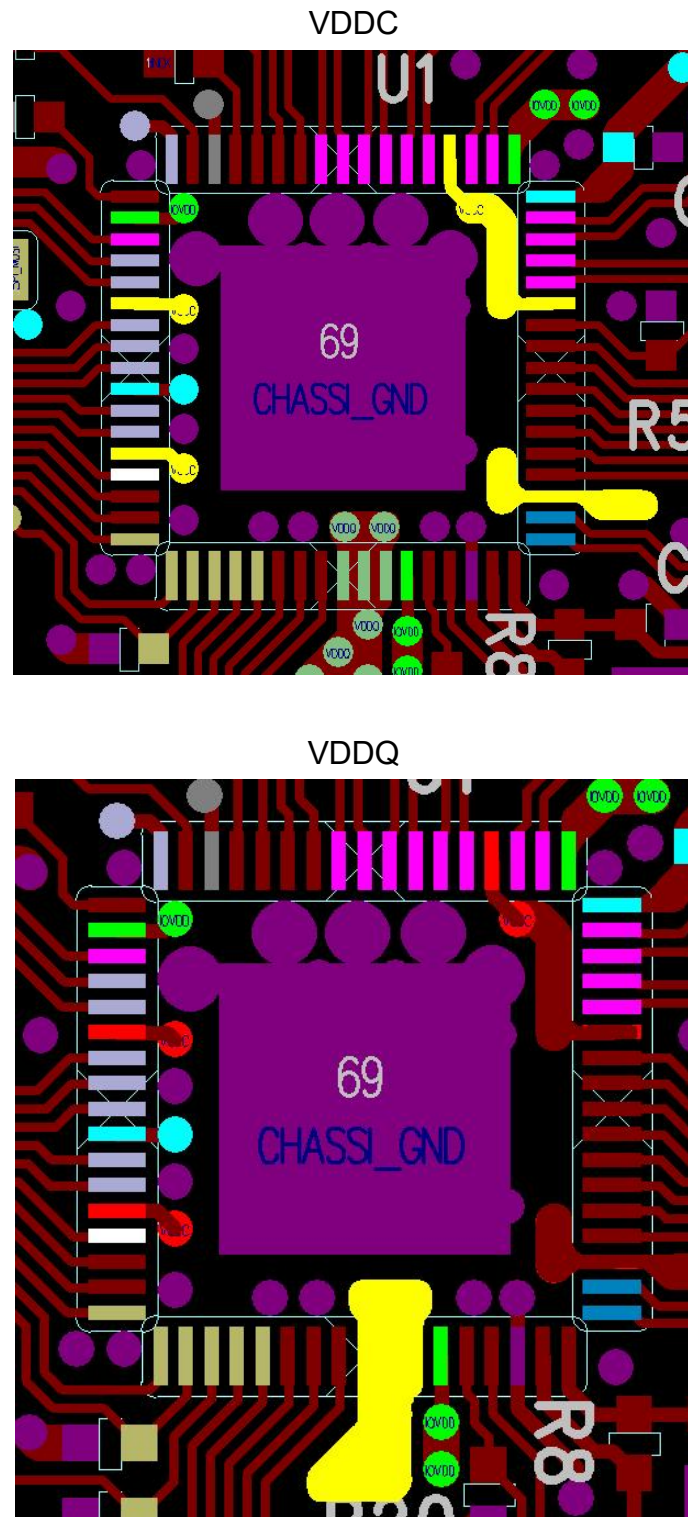
按照常用四层板 FR-4，1 盎司铜厚时，线宽至少需要满足 40mil/A。要注意 Bottom 层、电源层采用铺铜时有些地方可能会很窄，要确保宽度满足 40mil/A。

一般 1 盎司铜厚时，10mil 的孔内径与 20mil 的孔盘再对应 20mil 的线可过 0.5A 电流。电源走线如有换层，在连接处放置足够数量过孔，至少 2 个，如果是换到内层，加多一倍过孔数量，确保连接性良好。

3.2.2 主要电源走线

要确保 VDDC、VDDQ 等关键电源的走线线宽足够, 过孔数量够。

图 3-16 主要电源走线 PCB 图

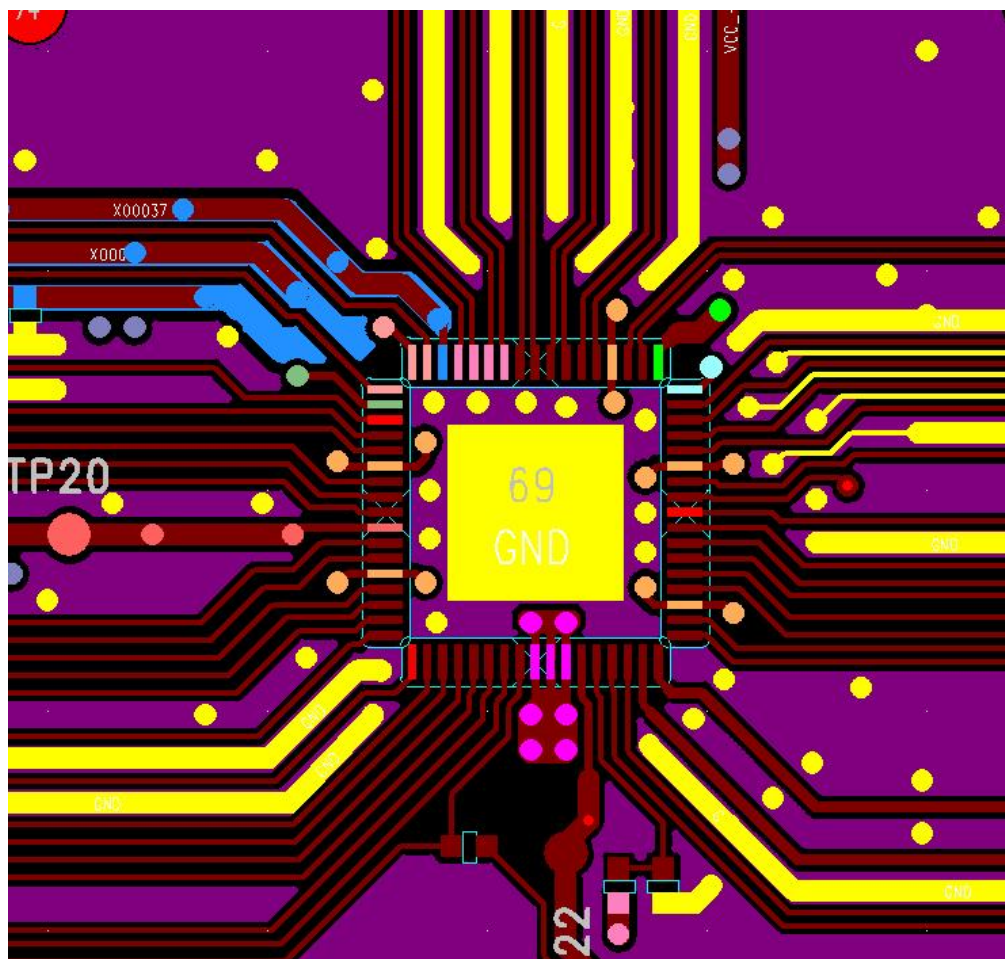


3.2.3 地

- 1、电源与地线层的完整性规则：对于导通孔密集的区域，要注意避免孔在电源和地层的挖空区域相互连接，形成对平面层的分割，从而破坏平面层的完整性，并进而导致信号线在地层的回路面积增大。
- 2、重叠电源与地线层规则：同电源层在空间上要避免重叠。主要是为了减少不同电源之间的干扰，特别是一些电压相差很大的电源之间，电源平面的重叠问题一定要设法避免，难以避免时可考虑中间隔地层。

要确保 TOP 层、BOTTOM 层的 GND 是向四方发散的并有完整的地回路，而且差分信号等需要包地的走线有足够的包地。

图 3-17 地线 PCB 图



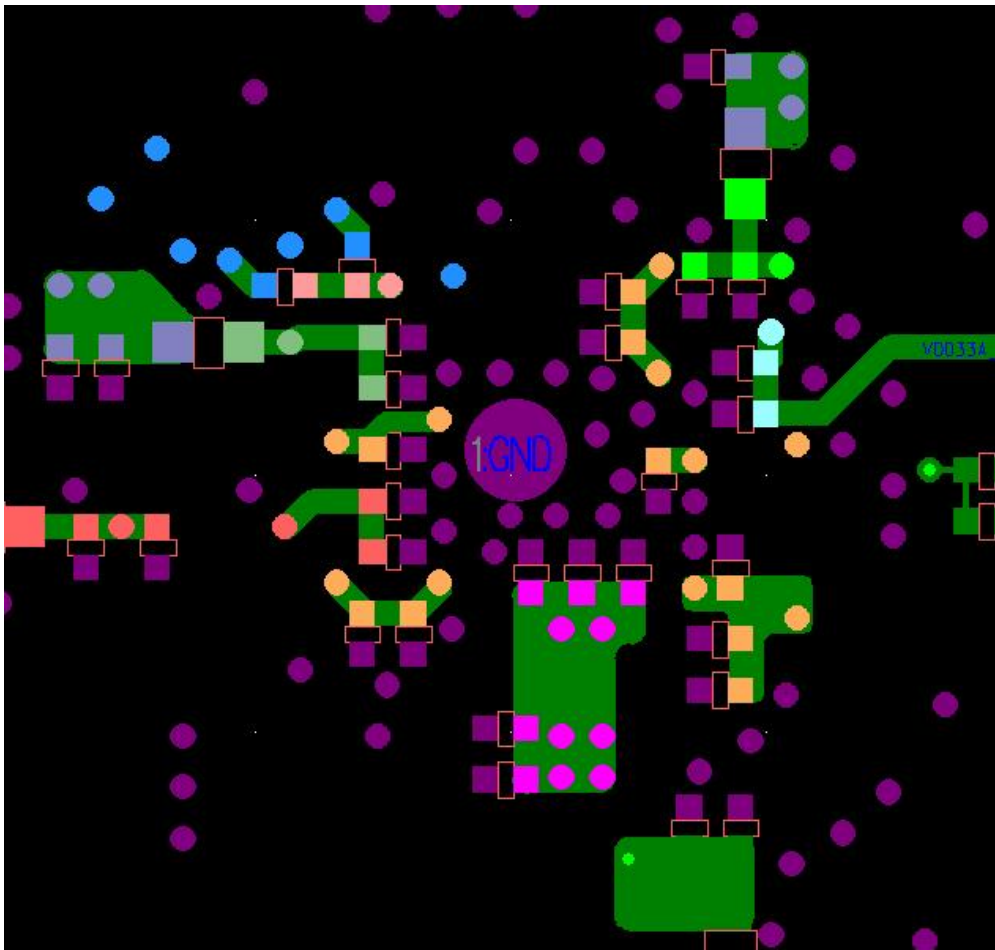
3.2.4 滤波电容

器件去耦一般规则：

- 1、必要的去耦电容可以滤除电源上的干扰信号，使电源信号稳定。去耦电容的布局及电源的布线方式将直接影响到整个系统的稳定性。
- 2、IC 去耦电容的布局要尽量靠近 IC 的电源管脚，并使之与电源和地之间形成的回路最短。
- 3、电源输入：先经输入电容，再接内部电路。
- 4、电源输出：先经输出电容，再到输出端。
- 5、电源至 IC：先经旁路电容，再到 IC。

要求主芯片底下与周围的电容容值大小与 POWER/GND VIA 位置布局要完全参考公板 PCB，确保电容既能支持 Power 所需的电能又能滤波。

图 3-18 主芯片去耦电容 PCB 图



3.2.5 DCDC 与 LDO

一般的基本原则：

- 1、多个 DCDC 模块间距离不要太近，太近 DCDC 模块间散热会较差导致 DCDC thermal 增大输出能力下降，太近模块间相邻开关频率时 EMI 强度会更大。

- 2、给主芯片专供的 DCDC 模块距离 SOC 端要尽量近，这样 power 走线衰减减小，并且引入的干扰也少，从而 Power 更干净，同时能确保 SOC 瞬时电流响应更加及时有效；但不能太近，太近 SOC 的散热会导致 DCDC thermal 增大。
- 3、DCDC 模块要稍微远离 audio、video、功放（包括模拟功放和数字功放）等模拟信号，避免对模拟信号产生干扰。
- 4、DCDC 模块本身尽可能地把所有外围器件都紧密地放在 DCDC IC 的旁边，减少走线的长度会是最理想的布局方式。
- 5、散热，LDO 需要加背面散热铜皮，插入功耗>1W 时要考虑更换散热更好的封装（如：T0252，T0263）；DCDC 本层不要走线，而用大面积铜皮并开阻焊窗口，对应的底层也并开阻焊窗口，加强散热。
- 6、反馈环路，需要远端反馈的一定要远端采样点，并且要包地。

DCDC 模块的具体位置无强制要求，但大体方位参考公板 PCB，不同 DCDC 模块按 Power Net 方向需求放到对应的方向上，确保相互无干扰以及走线无交叉。

3.3 晶体走线

晶体的 XTAL_XIN_XI、XTAL_XIN_XOUT 晶振信号走线全程做包地处理，并保证这些信号有完整的参考平面。晶体电路下方不能有高速信号穿过。

3.4 DRAM (VDDQ)

无特殊情况，为确保系统稳定性与软体参数稳定性，不建议自行设计 DDR 走线，要求完全 copy 公板参考设计，包括但不限于位号、元器件位置、走线方式、线宽线距、供电网络、铺地规则等等。

注意：

与 DDR Layout 直接相关的任何改动，务必告知 CViTEK HW 评估之后再改！

3.5 Flash

3.5.1 SPI Flash

布局与走线无特殊要求，SPI_CLK 信号线要单独包地。

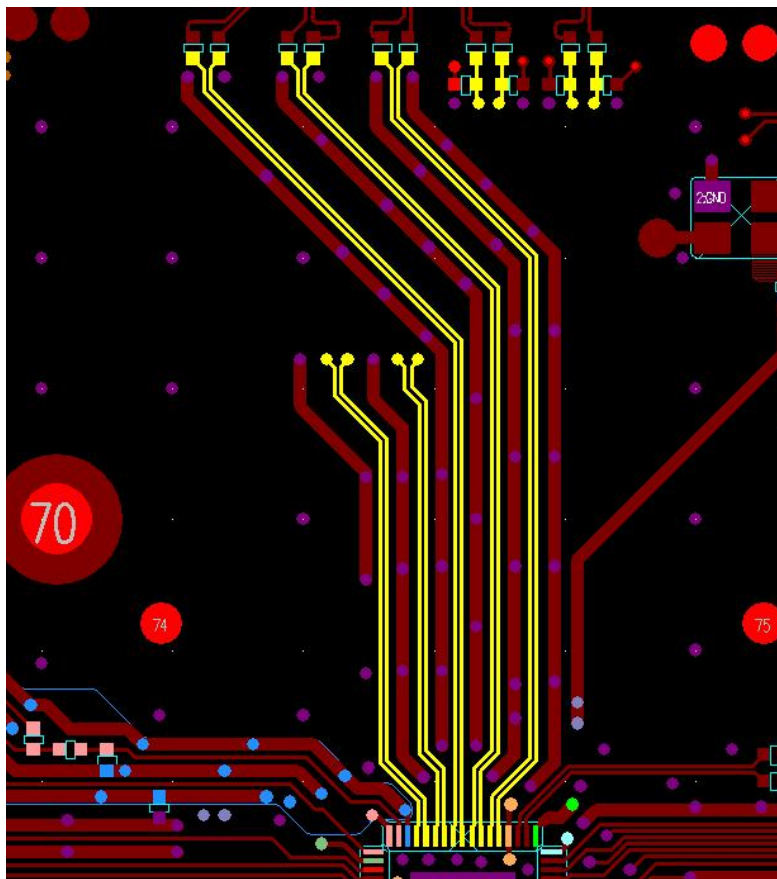
3.6 视频信号

3.6.1 MIPI RX

设计要求如下：

- 线宽线距按差分 100 欧姆布线，尽量不打过孔穿层，之前有现成 OK 的。走线方式请参考之前的 layout，没有的请参考公板 Layout。
- 以 GND 为参考平面，尽量保持参考平面的完整性。
- 差分对内 P/N 等长控制在 20 mil 以内，差分对间数据信号的线长均以时钟信号的线长为基准，偏差控制在 $\pm 300\text{mil}$ 以内；控制差分阻抗 $100\text{ohm} \pm 10\%$ 。
- 经过连接器时，相邻差分信号对之间必须使用 GND 管脚进行隔离。
- 总长建议 4 inch 以内，等长约束与总线长度，要考虑封装、PCB、外接线材等联合控制。

图 3-20 MIPI 信号 PCB 图



3.6.2 VI_DATA 与 VO_DATA

设计要求如下：

- 相邻信号走线间距保持“3W 原则”。
- DATA 线长以 CLK 线长为基准，偏差控制在 $\pm 500\text{mil}$ 以内，CLK 包地。
- 等长约束与总线长度，要考虑封装、PCB、外接线材等联合控制。
- 由于 CMOS 与 TTL 接口驱动能力有限，因此整体线长不能太长。

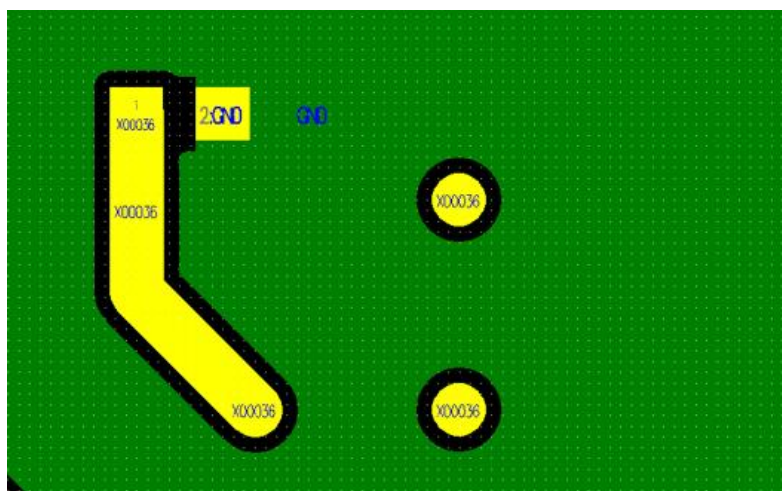
3.7 音频信号

3.7.1 模拟音频

设计要求如下：

- AUD_AVREF(PIN68)管脚的下地电容与电阻的位置要完全 Copy 公板设计。
- Audio_GND 与系统 GND 的分割点电阻，要远离 SOC 核心区域 GND。
- 模拟音频输入输出信号的耦合电容要尽量靠近主芯片端，全程包地。

图 3-21 模拟音频信号 PCB 图



3.7.2 数字音频

I2S 每根信号尽量单独包地，至少 MCLK 要单独包地，其他整组包地。

3.8 SDIO 与 SD Card

设计要求如下：

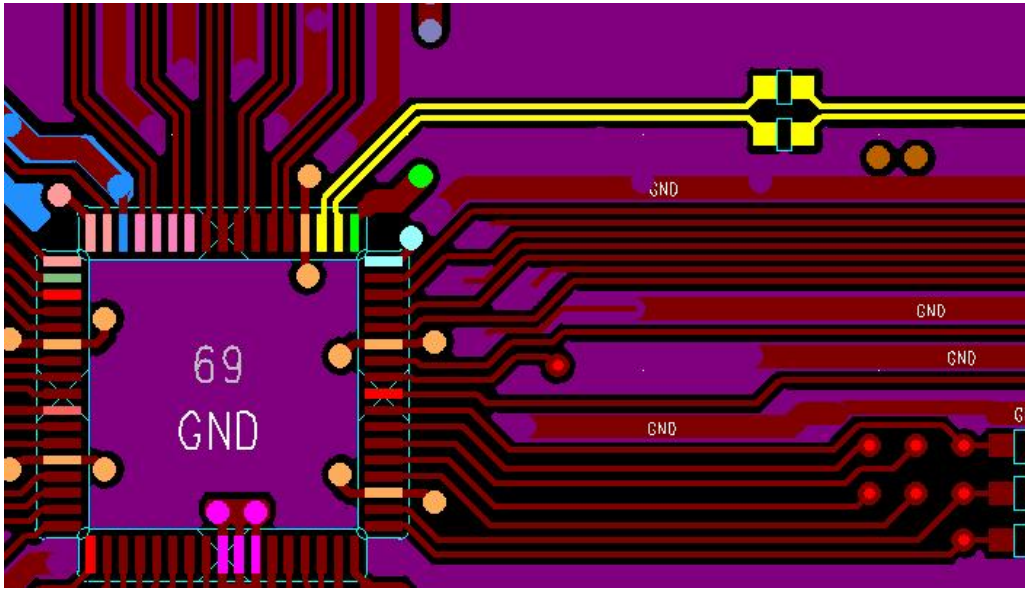
- 相邻信号走线间距保持“3W 原则”。
- DATA 线长以 CLK 为基准，偏差控制在 $\pm 500\text{mil}$ 内，CLK 尽量内层再包地。
- 尽量确保 SDIO 信号的参考 GND 平面完整。
- 等长约束与总线长度，要考虑封装、PCB、外接线材等联合控制。
- SD 卡背面不要放置大功率的器件，以防止 SD 卡高温下失效。
- ESD 器件要靠近 SD 卡座。

3.9 USB2.0

设计要求如下：

- 串联电阻靠近外设端，信号线长度偏差控制在 10mil 以内，差分阻抗控制在 $90\Omega \pm 10\%$ ，信号线包地并以 GND 为参考，保持参考平面完整。
- 信号线长度不大于 5inch ，过孔数量不超过 2 个，外挂线缆长度控制在 1.5米 以内，当做板级级联时，信号线长度不大于 10inch ，过孔数量不超过 2 个。

图 3-22 USB2.0 信号 PCB 图

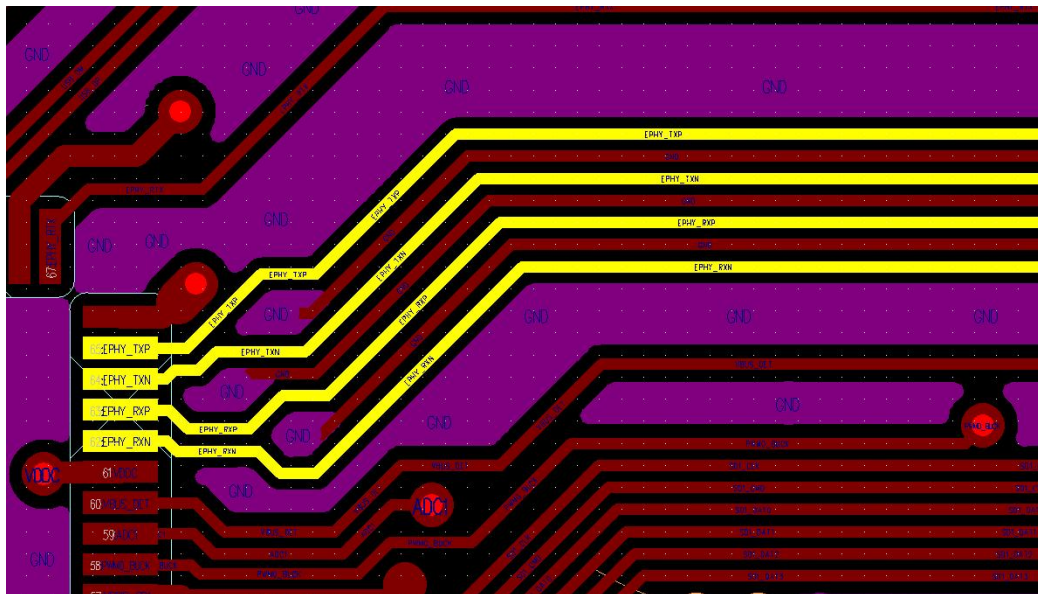


3.10 RJ45 走线

RJ45 设计要求如下：

- RX0 和 RX1, TX0 和 TX1 要单端走线，每根信号单独包地。
- 信号线串联电阻要靠近网络变压器端，其靠近网络接口处放置，要在网络变压器次级侧引脚与网络接口前边整个区域画隔离带确保抗网络浪涌能力。网络变压器底下不能走线。

图 3-23 RJ45 网口走线 PCB 图



3.11 PCB 散热设计

PCB 本身的散热主要靠表层大面积的铺铜，确定好合适的板层与叠层结构之后根据情况尽量减少表层走线，板子小就要考虑增加板层。

SOC 的 GND VIA 要尽可能多，同时核心区域的 GND 尽可能大并且向四周发散才能将 SOC 本身的热导向整个 PCB。

3.12 铺铜规则设计

设计要求如下：

- DDR 区域：此区域的铺铜设计要参考公板设置，包括内层。
- 其他区域：可自行设置，确保 PCB 与 PCBA 生产工艺满足要求即可。

4 整机 ESD 设计

4.1 背景

随着电子产品应用对系统频率和能效比的需求越来越高，则芯片制程不断降低，从而整机对外界干扰更加敏感，客户在整机设计时要非常重视 ESD 设计、防雷、防浪涌等的设计。

主芯片本身的 ESD 测试是按照 JEDEC 标准，可通过 $\pm 2\text{KV}$ 测试，符合行业标准。客户需要根据企业自身的 ESD、防雷、防浪涌测试标准与等级，对单板硬件和整机设计做好评估和测试。

4.2 整机 ESD

提供一些设计建议和风险规避措施如下：

- 整机外置常用接插口：例如 USB、SD Card、按键、音频输入输出口、网口灯一定要加 ESD 或防浪涌器件。
- 整机内部接插口：例如视频输入输出口、喇叭接口、板对板接口、MIC 接口等，要根据产品定义需求、测试情况以及生产良率等具体情况评估是否有必要增加 ESD 器件。
- 需要重点考虑 ESD 问题的关键元器件以及 ESD 器件本身，一定要确认好相关 ESD 参数符合设计要求，并且不会影响到信号线的质量。
- 接口连接器外壳推荐使用金属外壳，并与整机金属外壳充分连接（例如带定位孔的 USB 座、带弹片的 RJ45 座等），必要时采用导电柱或者导电泡棉来实现连接器与外壳的充分连接。
- 关于系统 25MHz 时钟选型，建议客户选用 4Pin 贴片晶体，2 个 GND 脚与单板充分连接，增强系统时钟抗干扰能力，其他走线尽量远离晶体。
- 需要考虑浪涌问题的接口布局时位置尽量靠近板边，次级侧就近有螺丝孔到机壳，初次级画好隔离带，比如 RS232/485、韦根、门磁、POE 等。
- 小系统部分（时钟、复位、主芯片、DRAM、Flash 等）器件布局远离金属接口。
- 无特殊情况，信号线串联电阻要靠近外设端，ESD 器件要尽可能靠近接口处，ESD 器件的接地引脚如果是通过过孔到地，要增加过孔数量。
- 如特殊情况需要金属散热片，其是否要接地到单板，根据 ESD 实际测试情况决定。

- 单板定位孔采用金属化过孔，与单板 GND 连接，选用不带喷防锈剂的螺丝以确保单板与整机充分接触。
- 整机设为浮地设备时，单板金属化接口严禁采用分割接地设计。
- 整机为接地设备时，要求金属外壳充分连接大地，分割保护地与单板数字地之间采用单点连接，也可增加 OR 电阻，单点连接的位置要远离小系统电路，建议靠近整机电源连接器放置。
- 单板与整机生产线都要做好 ESD 防护措施，佩戴静电手环、相关仪器设备接地、防止热插拔等都要做好。

如上建议主要做参考，具体以企业自身要求位置。

5 整机 EMI 设计

- EMI 问题不仅在于整改阶段，更重要的是在设计 PCB、结构、走线布局等就要充分为 EMI 问题做考虑。
- 确认结构、走线、布局等相互之间的干扰。
- 确认 EMI 超标频点与基频的关系，频点相互之间的关系，确认是倍频还是频率泄露。
- 定位频率源头。
- 通用措施（增加 GND 连接性、屏蔽、绕线、包地、RC）。
- 降 IO Driver 以及开 CLK 展频功能（eMMC、SDIO、MIPI、DDR 等都可以开展频）。

其它可详见《CViTEK EMI 问题常见分析思路与措施》。

6 调试常见问题 Debug 方法

6.1 Power 对地短路

单板调试或批量生产时，如果发现某个电源网络对地短路或者阻抗偏低（一般焊接不良都是短路，阻抗偏低的很少）。

需要根据 Power tree 逐个断开相关节点，深入排查短路原因，改进设计或者生产工艺。

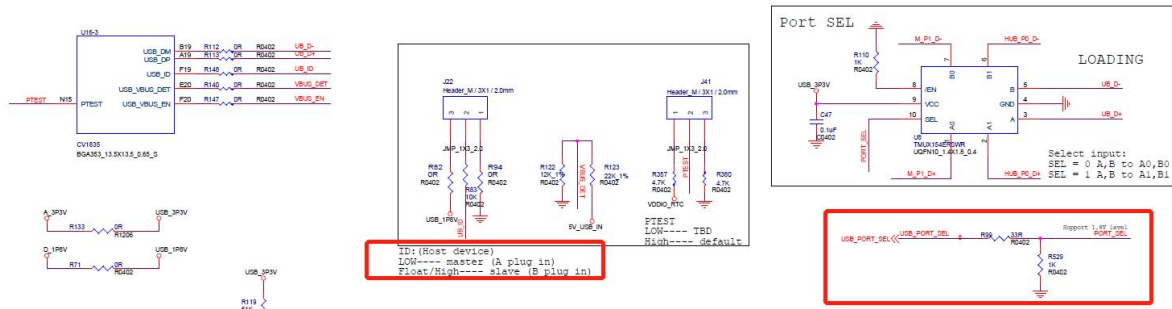
6.2 供电电压不正确

如果无对地短路，并且对地阻抗都 OK，很少有供电电压偏高或者偏低的。

如果出现一般都是 DCDC/LDO 焊接不良或者 DCDC/LDO 反馈环路电阻损坏造成。先检查 DCDC/LDO 相关，测量反馈电阻，再然后更换 DCDC/LDO。

6.3 eMMC 无法烧录

- 1、最小系统 VDDC 和 VDDQ 等相关的电压都正常, HW Config 配置确认 OK。
- 2、然后检查串口、USB 口的阻抗是否正常。
- 3、当出现 USB（连接电脑的那个口）在 Windows 命令窗口中识别不到时，优先检查控制 USB 信号路径切换芯片（例如公板的 TMUX154ERSWR）的控制状态是否正确，然后检查 USB_ID 是否为 high。



- 4、再看 log 显示到哪里，如下图如果卡在 DDR start done，则说明烧录时调用 DDR fail，因此优先怀疑 DDR 焊接不良，可以加焊后再试，不行了更换 DDR，再之后 CPU。

6.4 无法启动和无法读取 eMMC 数据

出现无法启动，log 卡在 NS-ASSERT: drivers/emmc/emmc.c <101>，则是 CPU 读不到 eMMC 的数据。

此种情况下，测量 CPU 与 eMMC 之间串联的电阻对地阻抗，优先加焊 CPU 和 eMMC，先考虑更换 CPU 后再更换 eMMC。

```
NS-ASSERT: drivers/emmc/emmc.c <101>
NOTICE: write addr 0x500104b4 to 0x33
NOTICE: write addr 0x50010424 to 0x1050100
NOTICE: write addr 0x4000380 to 0x30b1000
NOTICE: write addr 0x500100f4 to 0x601102
NOTICE: write addr 0x58018088 to 0x6
NOTICE: write addr 0x50010400 to 0x5
NOTICE: Booting Trusted Firmware
NOTICE: BL1: v1.4(debug):bm1880 ROM v1
NOTICE: BL1: Built : 20:13:19, Jul 5 2018
Hit any key to stop autoboot: 0
NS-ASSERT: drivers/emmc/emmc.c <101>
NS-ASSERT: drivers/emmc/emmc.c <101>
NS-ASSERT: drivers/emmc/emmc.c <101>
```

6.5 DDR init Fail

一般来说，当在初始 log 中位置出现 Ctrl bist fail 或者 DDR init fail，则检查 DDR 电源电压纹波和 ZQ 电阻，然后再检查芯片焊接是否正常。

6.6 上电无打印

主板上电即使空 Flash 还未烧录也会有几行 log 打印信息（如下所示）。

```
--BL1: DIGEST: 9aa69101
BL1: Jb28XX_asic:gcfb77c3f
BL1: Non-secure boot
BL1: wait DBG 1000ms
BL1: BootSel: 0x2
BL1: Apply usb phy setting
BL1: Load BLP
BL1: Locate FIP in SPI flash (DMMR)
BL1: Load BLD
BL1: LAI: ID=2 (0)
BL1: Prepare bld done
BL1: Load DDRC
BL1: DDR cfg header sig 0x424c4450, ver 0x1
BL1: Run BLD
REG_RTC_ST_ON_REASON=0x800d0000
pkg_type=7
D1_1_4
DDR2-512M-QFN
Dg4907f2aD220426T163801
Dsys_pll
```

如果上电没有打印信息，请检查如下：

- 1、确认各路电压供电是否正常？
- 2、确认芯片是否焊接 OK，重点检查芯片 EPAD 与大地是否有焊接良好？

- 3、确认 PWR_VBAT_DET 电平是否高于 1.0V?
- 4、确认 UART0_TX 电平是否为高?
- 5、确认 25M 晶体是否起振?
- 6、确认 UART 部分线路是否 OK?

6.7 烧录程序跑不起来

查看过程的打印 Log 并检查如下:

- 1、确认 Flash 型号是否公板已点过支持的, 程序是否烧录完整?
- 2、确认是否 DDR 报错, 软件错误, 比如芯片是 DDR2 用成 DDR3 的软件?
- 3、确认是否 HW Config 错误?

NAND Flash Boot:

```
BL1: DIGEST: d6b2b726
BL1: cv1822_asic:v1.4(release):gb051b429
BL1: Non-secure boot
BL1: Wait DRG 1000ms
BL1: BootSel: 0x0
BL1: Apply usb phy setting
BL1: spi_nand_device_reset
BL1: MID = 0xc8, DID = 0x41
Can't find matched device, use general setting!
BL1: sv->crc:9493 crc:9493
BL1: Copy spi nand info from vec, new setting 0x0, id 0x41c8
BL1: Load BLP
BL1: Locate FIP in SPI NAND
BL1: Load BLD
```

Nor Flash Boot:

```
BL1: 3b28xx_asic:gcfb77c3f
BL1: Non-secure boot
BL1: Wait DRG 1000ms
BL1: BootSel: 0x2
BL1: Apply usb phy setting
BL1: Load BLP
BL1: Locate FIP in SPI flash (DMMR)
BL1: Load BLD
BL1: LAI: ID=2 (0)
BL1: Prepare bld done
BL1: Load DDRC
BL1: DDR cfg header sig 0x424c4450, ver 0x1
BL1: Run BLD
Dgf1c5df9D210804T151232
D512MQFN
```

7 eMMC 与 DDR 可靠性软体测试方法

详见附件文档。

要求各个板型至少要抽 2pcs 板跑 DDR 测试 12 个小时；

8 散热设计

8.1 主芯片散热

确认产品要求的整机工作环境温度范围，CVITEK 要求芯片表面温度不超过 100 度，芯片结温不超过 125 度。

首先务必确保高温老化条件，以正常出货的条件为标准，完整的整机与各项功能，补光灯、算法等相关应用都有正常运行。

CViTK SOC 内置温度 Sensor，等高温箱与整机工作 3 小时之后状态基本稳定，可通过如下命令获取芯片结温，并不断检测芯片结温。

```
cat /sys/class/thermal/thermal_zone0/temp
```

如下 log 代表芯片当前结温=33.6°。

```
[root@cvitek]~# cat /sys/class/thermal/thermal_zone0/temp
33607
[root@cvitek]~# cat /sys/class/thermal/thermal_zone0/temp
33607
[root@cvitek]~#
```

8.2 关键元器件散热

确保各关键元器件包括但不限于 DCDC/LDO、Flash、DDR 等的温升满足其 SPEC 要求。

8.3 温升整改

详见《CVITEK 温升整改 SOP_V1.0》。

9 附件清单

详见 CViTEK HDK 表格中说明。